

WHAT IS CLAIMED IS:

1. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル;

5 少なくとも前記メモリセルから読み出された第 1 又は第 2 の論理レベルのデータを記憶する第 1 のデータ記憶回路;

データ線に接続され、少なくとも前記データ線から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 2 のデータ記憶回路;

10 少なくとも前記メモリセルから読み出されたデータ又は前記第 1 のデータ記憶回路から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 3 のデータ記憶回路;

制御回路、この制御回路は、第 1、第 2、第 3 のデータ記憶回路のデータを操作し、前記第 1 のデータ記憶回路の論理レベルが、第 2 の論理レベルの場合、前記メモリセルの閾値電圧を変化させず、前記第 1 のデータ記憶回路の論理レベルが、第 1 の論理レベルの場合であり、前記第 3 のデータ記憶回路の論理レベルが第 1 の論理レベルの場合、前記メモリセルの閾値電圧を上げる第 1 の書き込み動作を行ない、前記第 3 のデータ記憶回路の論理レベルが第 2 の論理レベルの場合、前記メモリセルの閾値電圧を上げる第 2 の書き込み動作を行ない、

20 前記制御回路は、第 1 のベリファイ動作時、前記第 2 のデータ記憶回路の論理レベルが、第 1 の論理レベルの場合、前記メモリセルをプリチャージせず、第 2 のデータ記憶回路の論理レベルが、第 2 の論理レベルの場合、前記メモリセルをプリチャージする、

25 前記制御回路は、前記メモリセルの閾値電圧が第 1 のベリファイ電圧を超えている場合、前記第 3 のデータ記憶回路の論理レベルを第 2 の論理レベルに設定し、前記メモリセルの閾値電圧が第 1 のベリファイ電圧を超えていない場合、前記第 3 のデータ記憶回路の論理レベルを変化させ

ず、前記メモリセルの閾値電圧が前記第 1 のベリファイ電圧より高い第 2 のベリファイ電圧を超えている場合、前記第 1 のデータ記憶回路の論理レベルを第 2 の論理レベルに設定し、前記メモリセルの閾値電圧が第 2 のベリファイ電圧を超えていない場合、第 1 のデータ記憶回路の論理レベルを
5 変化させず、

前記制御回路は、第 2 のベリファイ動作時、前記第 3 のデータ記憶回路の論理レベルが、前記第 1 の論理レベルの場合、前記メモリセルをプリチャージせず、前記第 2 のデータ記憶回路の論理レベルが、前記第 2 の論理レベルの場合、前記メモリセルをプリチャージし、

10 前記制御回路は、前記メモリセルの閾値電圧が前記第 2 のベリファイ電圧より高い第 3 のベリファイ電圧を超えている場合、前記第 1 のデータ記憶回路の論理レベルを第 2 の論理レベルに設定し、前記メモリセルの閾値電圧が前記第 3 のベリファイを超えていない場合、前記第 1 のデータ記憶回路の論理レベルを変化させず、

15 前記制御回路は、第 3 のベリファイ動作時、前記メモリセルの閾値電圧が前記第 3 のベリファイ電圧より高い第 4 のベリファイ電圧を超えている場合、前記第 1 のデータ記憶回路の論理レベルを前記第 2 の論理レベルに設定し、前記メモリセルが前記第 4 のベリファイ電圧を超えていない場合、第 1 のデータ記憶回路の論理レベルを変化させず、前記第 1 のデータ記憶回路の論理レベルが前記第 2 の論理レベルになるまで、前記第 1、
20 第 2 の書き込み動作及びベリファイ動作を繰り返す。

2. The device according to claim 1,

前記メモリセルは、EEPROMにより構成されている。

3. The device according to claim 1,

25 前記メモリセルは、NAND型フラッシュメモリを構成する。

4. The device according to claim 1,

前記第 2 の書き込み動作は、前記第 1 の書き込み動作より、書き込

み速度が遅い。

5. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル ;

5 少なくとも前記メモリセルから読み出された第 1 又は第 2 の論理レベルのデータを記憶する第 1 のデータ記憶回路 ;

データ線に接続され、少なくとも前記データ線から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 2 のデータ記憶回路 ;

10 少なくとも前記メモリセルから読み出されたデータ又は前記第 1 のデータ記憶回路から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 3 のデータ記憶回路 ;

制御回路、この制御回路は、前記メモリセルに第 1 ページのデータを書き込んだ後、前記第 2 のデータ記憶回路にデータ線から第 2 ページのデータを記憶させ、前記メモリセルから読み出した前記第 1 ページのデータ
15 を前記第 1 のデータ記憶回路に記憶させ、第 1、第 2、第 3 のデータ記憶回路のデータを操作し、メモリセルにデータを“2”を書き込んでいる場合と、メモリセルにデータを“1”を書き込んでいて第 1 のベリファイ電圧を超えている場合、前記第 3 のデータ記憶回路に前記第 2 の論理レベルを設定し、これ以外の場合前記第 3 のデータ記憶回路に前記第 1 の論理
20 レベルを設定する。

6. The device according to claim 5,

前記メモリセルは、EEPROMにより構成されている。

7. The device according to claim 5,

前記メモリセルは、NAND型フラッシュメモリを構成する。

25 8. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル ;

少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路；

データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路；

5 少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路；

 制御回路、この制御回路は、前記データ線から供給された第1ページのデータを前記第2のデータ記憶回路に記憶させ、前記第2のデータ記憶回路に記憶された前記第1ページのデータを前記第1のデータ記憶回路に転送し、前記データ線から供給された第2ページのデータを前記第2のデータ記憶回路に記憶させ、前記第1のデータ記憶回路に記憶された第1
10 ページのデータと前記第2のデータ記憶回路に記憶された第2ページのデータより、書き込みデータを設定し、前記書き込みデータに基づき前記メモリセルに前記第1ページのデータと前記第2ページのデータを同時に書き込む。
15

9. The device according to claim 8,

 前記メモリセルは、EEPROMにより構成されている。

10. The device according to claim 8,

20 前記メモリセルは、NAND型フラッシュメモリを構成する。

11. 半導体記憶装置 comprising:

 各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことが可能な複数のメモリセル、各メモリセルは2ビットのデータを記憶する； and

25 前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路、

 前記書き込み回路 including:

書き込むべきデータに応じて、第 1 のメモリセルの閾値電圧を、
前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記
第 3 の閾値電圧に変える第 1 のステップ；

5 書き込むべきデータに応じて、第 2 のメモリセルの閾値電圧を、
前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記
第 3 の閾値電圧に変える第 2 のステップ； and

前記第 1 のメモリセルの閾値電圧が前記第 1 の閾値電圧である場
合、書き込むべきデータに応じて、前記第 1 のメモリセルの閾値電圧を、
前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記
10 第 2 の閾値電圧に変える、前記第 1 のメモリセルの閾値電圧が前記第 3 の
閾値電圧である場合、書き込むべきデータに応じて、前記第 1 のメモリセ
ルの閾値電圧を、前記第 3 の閾値電圧に維持する、あるいは、前記第 3 の
閾値電圧から前記第 4 の閾値電圧に変える第 3 のステップ、

前記書き込み回路は、前記第 3 のステップにより、前記第 1 のメモ
15 リセルの閾値電圧を前記第 3 の閾値電圧に維持する場合において、前記第
1 のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第
1 のメモリセルの閾値電圧を変化させる。

12. The device according to claim 11,

前記第 2 の閾値電圧は、前記第 1 の閾値電圧と前記第 3 の閾値電圧
20 の間である。

13. The device according to claim 12,

前記第 2 の閾値電圧と前記第 3 の閾値電圧は、前記第 1 の閾値電圧
と前記第 4 の閾値電圧の間である。

14. The device according to claim 11, 前記書き込み回路
25 further includes

第 4 のステップ、前記第 4 のステップは、前記第 2 のメモリセルの
閾値電圧が前記第 1 の閾値電圧である場合、書き込むべきデータに応じ

て、前記第 2 のメモリセルの閾値電圧を、前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 2 の閾値電圧に変える、前記第 2 のメモリセルの閾値電圧が前記第 3 の閾値電圧である場合、書き込むべきデータに応じて、前記第 2 のメモリセルの閾値電圧を、前記第 3 の閾値電圧に維持する、あるいは、前記第 3 の閾値電圧から前記第 4 の閾値電圧に変える。

15. The device according to claim 14,
前記書き込み回路は、前記第 4 のステップで前記第 3 の閾値電圧に維持する場合で、前記第 2 のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第 2 のメモリセルの閾値電圧を変化させる。

16. The device according to claim 11,
前記第 1 のメモリセルと前記第 2 のメモリセルは隣接して配置されている。

17. The device according to claim 11,
前記第 1 のメモリセルと前記第 2 のメモリセルは共通のワード線に接続され、かつ隣接して配置されている。

18. The device according to claim 11,
前記第 1 のメモリセルと前記第 2 のメモリセルは共通のビット線に接続され、かつ隣接して配置されている。

19. The device according to claim 11,
前記第 3 の閾値電圧の値の定義は、前記第 3 のステップの前後で異なる。

20. The device according to claim 19, further comprising

前記第 3 の閾値電圧の値を制御するため、前記第 3 のステップが行われたか否かを示すデータを記憶する第 3 のメモリセル。

21 半導体記憶装置 comprising:

各々が少なくとも第 1、第 2、第 3、第 4 の閾値電圧のうちの 1 つを持つことが可能な複数のメモリセル、各メモリセルは 2 ビットのデータを記憶する； and

5 前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路、

前記書き込み回路 including:

書き込むべきデータに応じて第 1 のメモリセルの閾値電圧を、前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 3 の閾値電圧に変える第 1 のステップ；

10 書き込むべきデータに応じて第 2 のメモリセルの閾値電圧を、前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 3 の閾値電圧に変える第 2 のステップ；

書き込むべきデータに応じて第 3 のメモリセルの閾値電圧を前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 3 の閾値電圧に変える第 3 のステップ； and

15 前記第 1 のメモリセルの閾値電圧が前記第 1 の閾値電圧である場合、書き込むべきデータに応じて、前記第 1 のメモリセルの閾値電圧を、前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 2 の閾値電圧に変える、且つ前記第 1 のメモリセルの閾値電圧が前記第 3 の閾値電圧である場合、書き込むべきデータに応じて、前記第 1 のメモリセルの閾値電圧を、前記第 3 の閾値電圧に維持する、あるいは、前記第 3 の閾値電圧から前記第 4 の閾値電圧に変える第 4 のステップ。

22. The device according to claim 21,

25 前記書き込み回路は、前記第 4 のステップで前記第 3 の閾値電圧に維持する場合で、前記第 1 のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第 1 のメモリセルの閾値電圧を変化させる。

23. The device according to claim 21,

前記第 2 の閾値電圧は、前記第 1 の閾値電圧と前記第 3 の閾値電圧の間である。

24. The device according to claim 23,

5 前記第 2 の閾値電圧と前記第 3 の閾値電圧は、前記第 1 の閾値電圧と前記第 4 の閾値電圧の間である。

25. The device according to claim 22, 前記書き込み回路 further includes

10 第 5 のステップ、前記第 5 のステップは、閾値電圧が前記第 1 の閾値電圧である場合、書き込むべきデータに応じて、前記第 2 のメモリセル及び前記第 3 のメモリセルの閾値電圧を、前記第 1 の閾値電圧に維持する、あるいは、前記第 1 の閾値電圧から前記第 2 の閾値電圧に変える、且つ、閾値電圧が前記第 3 の閾値電圧である場合、書き込むべきデータに応じて、前記第 2 のメモリセル及び前記第 3 のメモリセルの閾値電圧を、前記第 3 の閾値電圧に維持する、あるいは、前記第 3 の閾値電圧から前記第
15 4 の閾値電圧に変える。

26. The device according to claim 25,

前記書き込み回路は、前記第 5 のステップで前記第 3 の閾値電圧に維持する場合で、前記第 2 のメモリセル及び前記第 3 のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第 2 のメモリセル及び前記第 3 のメモリセルの閾値電圧を変化させる。
20

27. The device according to claim 21,

前記第 1 のメモリセルと前記第 2 のメモリセルは隣接して配置され、前記第 1 のメモリセルと前記第 3 のメモリセルは隣接して配置されている。

25 28. The device according to claim 21,

前記第 1 のメモリセルと前記第 2 のメモリセルは共通のワード線に接続され、且つ隣接して配置され、前記第 1 のメモリセルと前記第 3 のメ

メモリセルは共通のビット線に接続され、且つ隣接して配置されている。

29, The device according to claim 22,

前記第 3 の閾値電圧の値の定義は、前記第 4 のステップの前後で異なる。

5 30. The device according to claim 29, further comprising

第 4 のメモリセル、前記第 4 のメモリセルは前記第 3 の閾値電圧の値を制御するために、前記第 4 のステップが行われたか否かを記憶する。